

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月25日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 H

審査請求 未請求 請求項の数 2 (全 23 頁)

⑯ 発明の名称 半導体装置およびその製造方法

⑰ 特 願 平1-9544

⑱ 出 願 平1(1989)1月18日

⑲ 発 明 者 酒 井 徹 志 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 猪 川 洋 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 谷 義 一

## 明 細 書

## 1. 発明の名称

半導体装置およびその製造方法

## 2. 特許請求の範囲

## 1) 半導体基板と、

該半導体基板に接した半導体ソース領域と、前記半導体基板に接した半導体ドレイン領域と、前記半導体基板に接した半導体箱型チャネル領域と、前記箱型チャネル領域の表面にゲート絶縁膜を介して形成されたゲート電極とを備え、

前記箱型チャネル領域は6つの面で囲まれ、前記箱型チャネル領域の第1の面は前記ソース領域に接し、前記第1の面に対向する前記箱型チャネル領域の第2の面は前記ドレイン領域に接し、前記ソース領域および前記ドレイン領域を結ぶ方向を含む前記箱型チャネル領域の第3の面は前記半導体基板に接し、前記ゲート電極は、前記第3の面に対向する前記箱型チャネル領域の第4の面お

よび前記箱型チャネル領域の互いに対向する第5および第6の面に形成され、前記第5および第6の面の間隔で定義される前記箱型チャネル領域の厚さD、前記チャネル領域を構成する半導体の比誘電率 $K_s$ 、真空の誘電率 $\epsilon_0$ 、電子の単位電荷 $q$ 、前記チャネル領域を構成する半導体のフェルミレベルと真性フェルミレベルとのエネルギー差 $\phi_i$ 、前記チャネル領域を構成する半導体中の活性なドーパント密度Nに対して、

$$D < (4 \cdot K_s \cdot \epsilon_0 \cdot \phi_i / q N)^{1/2}$$

であることを特徴とする半導体装置。

2) 半導体装置を当該半導体基板面に対して垂直方向に選択的にエッチングして、前記半導体基板面に対して平行方向の厚さDが請求項1記載の条件を満たす凸状半導体領域を形成する工程と、

前記凸状半導体領域以外の前記半導体基板の表面部分に素子間分離用の絶縁物を形成する工程と、

前記凸状半導体領域の全体もしくは一部分に

ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極を選択的に形成する工程と、

前記ゲート電極に覆われた部分以外の凸状半導体領域にドーパントを導入してソース領域およびドレイン領域を形成する工程と

を備えたことを特徴とする半導体装置の製造方法。

(以下余白)

3

と真性フェルミレベルの差、 $N$ は活性なドーパント密度である。

近年、IG-FETの相互コンダクタンス(ドレイン電流をゲート電圧で微分した値)の増大、短チャネル化等の目的で、チャネル領域の半導体層の厚さを(1)式の $W_{max}$ に比べて小さくし、チャネル領域全体を空乏化する構造がいくつか提案されている。それらの例を第13図～第15図に示す。

第13図(a)および(b)は、SOI(Silicon On Insulator)技術を用いて、厚さ $D$ が最大空乏層幅 $W_{max}$ より小さい半導体層を、単結晶シリコンによる半導体基板11上に配置した酸化シリコンによる絶縁物層12上に形成し、この半導体層中にIG-FETのソース領域6、チャネル領域3、ドレイン領域7を作り込んだものである(参考文献:「電子情報通信学会技術報告」(吉見信他, Vol. S0M87-154, pp. 13-18))。4は酸化シリコンによるゲート絶縁膜、5はポリシリコンによるゲート電極、15はゲート電極引出部である。

$D$ を $W_{max}$ より小さくした結果、チャネル領域3

### 3. 発明の詳細な説明

#### [産業上の利用分野]

本発明は、薄いチャネル領域を有する絶縁ゲート型電界効果半導体装置(以下IG-FETと略記)およびその製造方法に関するものである。

#### [従来の技術]

従来のIG-FETの一例として、 $n$ チャネル型IG-FETの場合について以下に説明する。

$p$ チャネル型IG-FETの場合は、 $n$ 型半導体と $p$ 型半導体を入れ換え、ホールと電子を入れ換え、電位の上昇と下降を入れ換えて考えればよい。

無限に大きな半導体基板上に形成されたIG-FETのチャネル領域における最大空乏層幅 $W_{max}$ は、ソース電極、ドレイン電極、半導体基板のいずれにもバイアスを掛けない状態では以下の式で表わされる。

$$W_{max} = (2 \cdot K_s \cdot \epsilon_0 \cdot \phi_F / q N)^{1/2} \quad (1)$$

ここに、 $K_s$ は半導体の比誘電率、 $\epsilon_0$ は真空の誘電率、 $q$ は電子の電荷、 $\phi_F$ はフェルミレベル

4

は完全に空乏化し、空乏層中の電荷の総量は $q \cdot D \cdot N$ に抑えらる。この効果により、チャネル垂直方向の電界が緩和され、キャリアの移動度が上昇してIG-FETの相互コンダクタンスが増大する。

また、チャネル表面電位がソース領域6からドレイン領域7へ向けて上昇しても、空乏層中に電荷の総量が増えないため、誘起されるキャリアの減少の程度が、無限に大きな半導体基板上に形成されたIG-FETの場合に比して小さい。この効果により、飽和ドレイン電流が増加し、したがって、IG-FETの相互コンダクタンスが増大する。

また、空乏層中の電荷の総量が一定であるため、空乏層容量がほぼゼロとなる。この効果により、サブスレッショルド係数(ドレイン電流の対数をゲート電圧で微分した値)が小さくなり、ドレイン電流のオン、オフ比が大きくなる。

以上に加えて、第13図の構造では、 $D$ を小さくした結果、チャネル領域3が小さくなり、しかもゲート電極5の近傍に位置するので、チャネル幅

域3に対するドレイン電界の影響がゲート電極5により遮蔽される。この効果により、チャネル長を短くした時の閾値電圧の低下や、サブスレッショルド係数の増大等のいわゆる短チャネル効果が抑制され、チャネル長の短い高性能なIG-FETが実現可能となる。

しかし、第13図の構造では、チャネル垂直方向の電界の総和によりチャネル領域全体の電位が上昇するため、ソース領域6とチャネル領域3との間のポテンシャル障壁が低下する。このポテンシャル障壁の低下により、ドレイン近傍のインパクトイオン化で生じたホールがソース領域6に流入する時に、ソース領域6から多量の電子がチャネル領域3に注入され、ドレイン耐圧が低下する問題が生じる。

この問題の他に、第13図の構造では、SOI技術が一般に未熟なため、半導体層の結晶品質が悪い問題がある。

第14図は第13図のIG-FETのチャネル領域の下に下部ゲート電極5'を追加した構造である(関連

特許: 関川敏弘, 林登, 特公昭62-1270号、参考文献: 「ソリッドステート エレクトロニクス」(T. Sekigawa and Y. Hayashi, Solid-State Electronics, Vol. 17, pp. 827-828, 1984))。

第14図の構造では、チャネル領域3が上部ゲート電極5と下部ゲート電極5'とで挟まれているために、第13図の構造よりさらにドレイン電界の遮蔽効果が大きくなり、よりチャネル長の短い高性能なIG-FETが実現可能である。

また、2つのゲート電極5と5'を電気的に接続することにより、ゲート電極5および5'とチャネル領域3との間の静電容量を2倍にし、相互コンダクタンスも2倍にすることができる。

さらにまた、同様に、2つのゲート電極5と5'とを電気的に接続することにより、チャネル領域3全体が空乏化しうるDの上限を第13図の構造の場合の2倍の $2 \cdot V_{max}$ とすることができる。この結果、半導体層の薄層化等の製造工程上の困難さを緩和することができる。

しかし、第14図の構造についても、第13図の構

7

造と全く同じ問題を有している。すなわち、ドレイン耐圧が低下する問題と、半導体層の結晶品質が悪い問題を有している。

第15図は第14図の構造をSOI技術を用いず実現したものである(参考文献: 「第5回応用物理学関係連合講演会講演予稿集」(水野智久他, Vol. 2, p. 592, 1988))。この場合には、バルク結晶を加工して半導体層を作ることができるため、結晶品質が悪い問題は生じない。

しかもまた、第15図の構造はチャネル領域3が半導体基板1と接続されているために、ドレイン領域7の近傍でインパクトイオン化により生じたホールは半導体基板1へ流出する。このためドレイン耐圧が低下する問題は起こらない。

しかし、第15図の構造では、電流が半導体基板1の面と垂直な方向に流れるために、通常のIG-FETを用いた集積回路とは異なった特殊なレイアウトを必要とする問題がある。例えば、複数の素子の間でソース領域やドレイン領域を共用させて回路の占有面積を低減する手法が使用できな

8

い。このことは設計の手間を増加させるのみならず、集積回路全体の面積を増大させることになる。

さらにまた、第15図の構造では、ソース領域6および6'が広い面積で半導体基板1に接しているため、両者の間の寄生容量が大きい問題がある。トランスファゲート、エンハンスメント/エンハンスメント型ゲート、エンハンスメント/デプレッション型ゲート等では、出力ノードにソース領域が接続されるため、基板1との間の寄生容量の増加は動作速度の低下等の好ましくない結果を招き、好ましくない。

【発明が解決しようとする課題】

そこで、本発明の目的は、上述の点に鑑み、第13図および第14図に示した従来例の構造におけるドレイン耐圧が低下する問題点と半導体層の結晶品質が悪い問題点および第15図の従来例の構造における特殊なレイアウトを必要とする問題点と寄生容量が大きい問題点を解決するように適切な構

造とした絶縁ゲート型電界効果半導体装置およびその製造方法を提供することにある。

#### 〔課題を解決するための手段〕

本発明では、上述の諸問題点を以下のような手段で解決する。

ドレイン耐圧が低下する問題点は、チャネル領域の一部が基板半導体と接する構造とすることで、ドレイン近傍でインパクトイオン化によって生じたホールを基板側へ流出させることにより解決する。

半導体層の結晶品質が悪い問題点は、品質の良いバルク半導体結晶を用いることができるような素子構造として、チャネル領域の一部が基板半導体と接する構造とすることで解決する。

特殊なレイアウトを必要とする問題点は、電流の流れる方向（ソース領域およびドレイン領域を結ぶ方向）を基板面と平行とすることで解決する。この状態はチャネル領域が、ソース領域およびドレイン領域を結ぶ方向を含む面で基板と接す

るような構造とすることで実現できる。

寄生容量が大きい問題点もチャネル領域が基板と接する部位を上記のように定めて、両者が接する面積を小さくすることで解決する。

すなわち、本発明半導体装置は、半導体基板と、半導体基板に接した半導体ソース領域と、半導体基板に接した半導体ドレイン領域と、半導体基板に接した半導体箱型チャネル領域と、箱型チャネル領域の表面にゲート絶縁膜を介して形成されたゲート電極とを備え、箱型チャネル領域は6つの面で囲まれ、箱型チャネル領域の第1の面はソース領域に接し、第1の面に対向する箱型チャネル領域の第2の面はドレイン領域に接し、ソース領域およびドレイン領域を結ぶ方向を含む箱型チャネル領域の第3の面は半導体基板に接し、ゲート電極は、第3の面に対向する箱型チャネル領域の第4の面および箱型チャネル領域の互に対向する第5および第6の面に形成され、第5および第6の面の間隔で定義される箱型チャネル領域の厚さD、チャネル領域を構成する半導体

1 1

の比誘電率 $K_s$ 、真空の誘電率 $\epsilon_0$ 、電子の単位電荷 $q$ 、チャネル領域を構成する半導体のフェルミレベルと真性フェルミレベルとのエネルギー差 $\phi_i$ 、チャネル領域を構成する半導体中の活性なドーパント密度 $N$ に対して、

$$D < (4 \cdot K_s \cdot \epsilon_0 \cdot \phi_i / q N)^{1/2}$$

であることを特徴とする。

本発明製造方法は、半導体装置を半導体基板面に対して垂直方向に選択的にエッチングして、半導体基板面に対して平行方向の厚さDが上記記載の条件を満たす凸状半導体領域を形成する工程と、凸状半導体領域以外の半導体基板の表面部分に素子間分離用の絶縁物を形成する工程と、凸状半導体領域の全体もしくは一部分にゲート絶縁膜を形成する工程と、ゲート絶縁膜の上にゲート電極を選択的に形成する工程と、ゲート電極に覆われた部分以外の凸状半導体領域にドーパントを導入してソース領域およびドレイン領域を形成する工程とを備えたことを特徴とする。

1 2

#### 〔作用〕

本発明によれば、ドレイン耐圧低下の問題なしに、チャネル領域全体が空乏化する荷電のIG-FETの利点、すなわち、相互コンダクタンスの増加、サブスレッショルド係数の低減、短チャネル効果の抑制等を実現できる。

本発明では、品質の良いバルク半導体結晶を用いることができるため、素子特性は良好である。

本発明では、電流の流れる方向が基板面と平行であるため、高密度に素子を配置することが可能である。

加えて、本発明によれば、素子が基板と接している面積は小さく、寄生容量の増加も少ない。

#### 〔実施例〕

以下、図面を参照して本発明の実施例を詳細に説明する。

以下に示す実施例では、半導体材料としてシリコン（以下、Siを略記）を用いているが、本発明はSiに限らず、Ge、GaAs、InP等の他の半導体材料

にも適応しうることは言うまでもない。実施例で用いている酸化膜、窒化膜等も機能的に同等ならば他の材料でも構わない。メタルも金属的性質を有する材料一般を指しており、高濃度にドーピングした半導体、シリサイド等もこの範疇に入る。さらにまた、以下ではnチャネル型を中心に扱うが、逆極性のドーパントを用いれば、pチャネル型のIG-FETも作り得ることも筋を待たない。また、チャネル領域のドーパントをソース、ドレインと同極性にすれば、一般的な反転型の動作ではなく、蓄積型の動作も可能であるが、以下では特に区別して説明は行わない。

#### 実施例 1:

第1図(a)～(e)に本発明の第1実施例を示す。第1図(a)は基板面に垂直な方向から見た平面的なレイアウト図、第1図(b)は層間の絶縁膜8を取り除いた状態で見た側面図、第1図(c)は第1図(b)中のc-c'線で基板面と平行に切断した断面図、第1図(d)は第1図(a)中のa-a'線で基板面に垂直に切断した断面図、第1図

(e)は第1図(a)中のb-b'線で基板面に垂直に切断した断面図である。第1図(d)に示した凡例にある活性Siとは、ソース領域、チャネル領域、ドレイン領域をまとめて指す。ポリSiとは、高濃度にドーピングされた多結晶Siであり、本実施例ではゲート電極5とゲート電極引出し部15に用いられている。コンタクトホールとは、ソース領域6、ドレイン領域7、ゲート電極引出し部15とメタル配線層26、27、28とを電気的に接続するために層間の絶縁膜8に開けられた穴である。

第1図(a)～(e)に示すように、本実施例のIG-FETは、単結晶Si基板1に対して垂直に配置した高さH、厚さDの帯板状のSi9の中に形成されている。すなわち、基板1に接し、かつ、この基板1に対して垂直に配置された帯板状Si9の両端にソース領域6およびドレイン領域7を設け、同じく中央部を酸化Siによるゲート絶縁膜4で覆い、そのゲート絶縁膜4を覆ってポリSiによるゲート電極5を設ける。ゲート電極5の電極引出し部15にはメタル配線層25を接続する。ソース

1 5

領域6およびドレイン領域7にはメタル配線層26および27を、それぞれ、接続する。2は素子間分離用のフィールド酸化膜、例えば酸化Si膜であり、この膜2に形成された開口を介して上述の帯板状Si9は基板1と接している。

以上の構造によって、ゲート酸化膜4により限界された箱型チャネル領域3は6つの面で囲まれており、その第1の面はソース領域6に接し、第1の面と対向する第2の面はドレイン領域7と接している。ソース領域6およびドレイン領域7を結ぶ方向を含む第3の面は基板1に接している。この第3の面と対向する第4の面および残余の2面であって、互いに対向する第5および第6の面はゲート絶縁膜4と接している。

上記第5および第6の面の間隔で定義される箱型チャネル領域3の厚さDは、

$$D < (4 \cdot K_s \cdot \epsilon_0 \cdot \phi_f / q N)^{1/2}$$

とする。ここで、 $K_s$ はチャネル領域3を構成する半導体の比誘電率、 $\epsilon_0$ は真空の誘電率、 $q$ は電子の単位電荷、 $\phi_f$ はチャネル領域3を構成する

1 6

半導体のフェルミレベルと真性フェルミレベルとのエネルギー差、 $N$ はチャネル領域3を構成する半導体中の活性ドーパント密度である。

厚さDは、板状Si9の両表面から延びる空乏層が互いに接するのに十分なだけ得くしてある( $D < 2 \cdot r_{0.01}$ )ので、チャネル領域3全体が空乏化している。この結果、チャネル面垂直方向の電界が緩和してキャリアの移動度が増加する。

また、空乏層中の電荷の総量が固定されているので、チャネル表面電位がソース領域6からドレイン領域7へ向けて上昇しても、誘起されるキャリアの減少の割合が小さく、したがって飽和ドレイン電流が増加する。

同じく、空乏層中の電荷の総量が固定されているので、空乏層容量がほぼゼロとなりサブスレッショルド係数が小さくなる。

以上のチャネル領域の空乏化の効果により、本実施例のIG-FETは、相互コンダクタンスが大きく、かつ電流のオン/オフ比も大きくとれ、高性能である。

さらに、チャネル領域3がゲート電極5に挟まれているため、ドレイン電界の影響がチャネル領域に及びにくい。このため短チャネル効果が防止され、散却で高性能な素子が実現される。

また、第1図(d)および(e)の断面図より分かる通り、本実施例のIG-FETのソース領域6、チャネル領域3およびドレイン領域7は、それぞれの領域の下部でSi基板1と接している。これによりドレイン近傍でインバクティオン化によって発生したホールは速やかにSi基板1に流れるため、活性Si領域が電気的に浮遊状態にあるSOI上のIG-FETの場合に、これまで問題となっていたドレイン耐圧の低下が生じない。

さらにまた、各領域がSi基板1と接している部分の幅がD以下と非常に狭いので、対基板間の寄生容量は小さく、本発明のIG-FETは高速で動作することが期待できる。

さらに加えて、本実施例のIG-FETは、板状Si9の側面をチャネル面として利用しているため、基板面垂直方向から見た平面的な寸法は小さくて

も、実効的なチャネル幅は大きくとれ、集積度の向上を図ることができる。しかもまた、電流が流れる方向は基板面に平行であり、第1図(a)からも分かるように、素子の平面レイアウトは広くLSIに使われているIG-FETのものと基本的に同じでよく、パタン設計上の困難も少ない。

実施例2:

第2図(a)~(c)に、第1図示の素子を複数個並列に接続した第2実施例の平面レイアウト図およびa-a'線およびb-b'線断面図を、それぞれ、示す。ここでは、基板1に対して垂直に複数の薄い板状Si9を配置し、各板状Si9に第1実施例と同様のIG-FETの各ソース領域6、ドレイン領域7およびゲート電極5をメタル配線層26、27および28により、それぞれ、共通に接続する。

本発明のIG-FETでは、実効的なチャネル幅は $2 \cdot H + D$ であり、Dは既述の通り空乏化の条件( $0 < 2 \cdot W_{\text{eff}}$ )で制限されているので、基板面に垂直な方向から見た平面的な素子寸法を大きくして実効的なチャネル幅を任意に大きくすることはでき

19

ない。しかし、第2図に示したような構造を採ることにより、チャネル幅の大きい素子を得ることができる。しかも、本発明のIG-FETは板状Si9の側面をチャネル面として利用しているため、第1図に示したように、近接した間隔で配置した複数個の板状Si9を並列接続することによって小さな平面的な面積の中に極めて大きな実効的なチャネル幅を有する素子を実現できる。

次に、第3図および第4図を参照して、本発明製造方法の一実施例を、実施例1のIG-FETを製造する場合について説明する。

本例では、nチャネル型MOSFETを想定しているので、出発材料はp型Si単結晶基板である。チャネル面の結晶学的な面方位は、平面的なレイアウトパタンの向きを要えることによっても選択できるので、基板単結晶の面方位も種々の選択が可能である。

第3図(a)~(h)および第4図(a)~(h)は、それぞれ、c-c'線およびa-a'線断面を示し、これら断面図を用いて製造工程を順を追って

20

説明する。

(1) 単結晶Si基板1の表面に厚さ10から50nmの酸化膜61を熱酸化により形成し、さらに酸化膜61の上に窒化膜62をCVD法で厚さ100から200nmだけ堆積した。次に、窒化膜62、酸化膜61およびSi基板1に対して、単一のレジストパタンをマスクにして、方向性エッチングを行い、第3図(a)および第4図(a)に示す凸状あるいは板状Si9の構造を得た。Si基板の方向性エッチングはRIE等のドライエッチングでもよいが、Si(110)面の基板を用い、ソース領域およびドレイン領域を結ぶ方向を $[1, -1, -2]$ とするならば、KOH水溶液等により異方性ウェットエッチングを用いることもできる。

(2) 板状Si9の表面に薄い酸化膜63を形成し、その上に窒化膜64を被覆性良く堆積した。この後に窒化膜64および酸化膜63に対して方向性エッチングを行い、第3図(b)および第4図(b)の形状を得た。引き続き、イオン注入によりチャネルカット用のp型ドーパントを基板1の表面に導入し

た。

(3) 板状Si9の周りに付いた酸化膜82および84をマスクにして、基板1の平面部分を厚さ200 から800nm だけ選択的に熱酸化してフィールド酸化膜2を形成した。ついで、酸化膜82および84を熱酸で除去した後、板状Si9を覆う薄い酸化膜81および83を除去して、第3図(c) および第4図(c) に示す構造を得た。

(4) 板状Si9の露出表面に厚さ25nmの薄いゲート酸化膜4を熱酸化により形成し、その上にCVD法で高濃度にドーピングした多結晶Si層5を堆積して、第3図(d) および第4図(d) の構造を得た。

(5) 多結晶Si層5を、レジストパターンをマスクに用いて方向性エッチングして、第3図(e) および第4図(e) に示すように、ゲート電極5とゲート電極引出し部15を形成した。その後、斜め方向からのイオン注入や高濃度にドーピングした酸化膜からの固相拡散等の手法を用いて、板状Si9に高濃度にn型にドーピングされたソース領域6および

びドレイン領域7を形成した。

(6) 層間の絶縁膜8を堆積し、熱処理による絶縁膜自身の流動化や、塗布したレジストとの等速エッチバック等の手法で絶縁膜表面を平坦にして、第3図(f) および第4図(f) の構造を得た。

(7) 第3図(g) および第4図(g) に示すように、コンタクトホール85、86および87をゲート電極引出し部15、ソース領域6およびドレイン領域7に、それぞれ対応して形成した。

(8) これらコンタクトホール85、86および87内にメタルを堆積し、レジストパターンをマスクにエッチングを行ってメタル配線層25、26および27を形成し、第3図(h) および第4図(h) に示すIG-FETの構造を得た。

なお、本発明のIG-FETでは、板状Si9の高さH以上に深いコンタクトホールにメタルを埋め込まねばならないので、メタルの堆積方法としては、埋め込み特性に優れる減圧CVD法等を用いるのが望ましい。減圧CVD法による多結晶Siは、埋め込

## 2 3

み特性の優れた材料として知られているので、高濃度にドーピングした低抵抗の多結晶Siをコンタクトホールに埋めておき、層間絶縁膜8の表面でメタル配線層と接続してもよい。あるいはまた、多結晶Siとメタルを順次堆積して2層同時に配線層としてエッチング加工することもできる。

### 実施例3:

第5図(a) ~ (c) に本発明の第2実施例を示す。第5図(a) は基板面に垂直な方向から見た平面的なレイアウト図、第5図(b) は層間の絶縁膜8を取り除いた状態で見た側面図、第5図(c) は第5図(b) 中のc-c'線で基板面と平行に切断して示す断面図、第5図(d) は第5図(a) 中のa-a'線で基板面に垂直に切断して示す断面図、第5図(e) は第5図(a) 中のb-b'線で基板面に垂直に切断して示す断面図である。第5図(f) に示す凡例にある活性Siとは、ソース領域6、チャネル領域3およびドレイン領域7をまとめて指す。ポリSiとは、高濃度にドーピングされた多結晶Siである。本実施例でポリSiは、ゲート

## 2 4

電極に用いられる他に、ソース領域6およびドレイン領域7に対するドーパントの拡散源ならびにそれらの領域6および7からメタル配線層26および27へ、それぞれつながる引出し電極として用いられる。以下では、ソース領域6の引出し電極として用いられるポリSiをソースポリSi、ドレイン領域7の引出し電極として用いられるポリSiをドレインポリSiと略記する。

この第3実施例は、基板面に対して垂直に形成された凸状あるいは板状Si9中に素子を形成する構造は第1実施例と同様であり、したがって、板状Si9の厚さDが薄いのでチャネル領域3全体が空乏化して性能が上がる点、チャネル領域3が基板1と接続している点、基板面と平行な方向に電流を流す点などの基本的な利点は第1実施例の場合と同じである。

主な相違点は、本実施例では、活性Si領域のエッチング、層間絶縁膜8への開口の2工程で、活性Si、ゲート電極およびコンタクトの3者の位置関係が定まり、リソグラフィやエッチング等に

おける加工ばらつきに対する余裕度が大きいことである。さらにまた、本実施例では、活性Siの直上でメタル配線層25とのコンタクトをとるようにしたので、ゲート電極引出し部が不要であり、それだけ面積の有効利用ができる利点もある。

以下、第6図(a)～(i)および第7図(a)～(i)を用いて、第3実施例のIG-FETを製造する工程の一実施例を順を追って説明する。

(1) 第6図(a)～(c)および第7図(a)～(c)に示すフィールド酸化膜2の形成に至るまでの工程は、第3図(a)～(c)および第4図(a)～(c)に示した第1実施例の場合と全く同じとした。

(2) 第6図(c)および第7図(c)の状態、層間の絶縁膜8を堆積し、熱処理による絶縁膜自身の流動化や、塗布したレジストとの等速エッチバック等の手法で絶縁膜表面を平坦にして、第6図(d)および第7図(d)の構造を得た。

(3) ゲート電極5、ソースポリSiおよびドレインポリSiを配線するための開口81、82、83を第6図(e)および第7図(e)に示すように形成した。

(4) 板状Si9の露出表面上にゲート酸化膜4を形成し、ついで開口81、82および83内にゲート電極用ポリSi5を堆積した。その後、ポリSi5をエッチバックして、層間膜8の表面を露出させ、第6図(f)および第7図(f)の状態とした。この時、ソース領域およびドレイン領域の表面にもゲート酸化膜4が形成され、かつソースポリSiおよびドレインポリSiのための開口部82および83にもゲート電極用ポリSi5が埋め込まれている。

(5) ゲート電極5をレジストマスクで覆い、ソースポリSiおよびドレインポリSiのための開口部81および83に埋め込まれたゲート電極用ポリSiを除去した。その後、ソース領域およびドレイン領域上に形成されているゲート酸化膜4を除去して、第6図(g)および第7図(g)の構造を得た。

(6) 開口部81および83内にソースポリSi16およびドレインポリSi17のためのポリSiを堆積した。その後、このポリSiをエッチバックして、層間膜8の表面を露出させ、第6図(h)および第7図(h)の構造を得た。ここで、熱処理を行い、ソースポ

## 2.7

リSi16およびドレインポリSi17からソース領域6およびドレイン領域7へドーパントを拡散させて、これら領域6および7を形成した。

(7) 最後に、ポリSi5、16および17の上に、それぞれ、メタル配線層25、26および27を堆積、加工して、第6図(i)および第7図(i)に示すIG-FETの構造を得た。

なお、上記工程(6)において、ポリSiを堆積した後、エッチバックを行わず、第8図(a)に示すように、直ちにメタルを堆積し、ついで、第8図(b)に示すように、ポリSi5とメタル25とを重ねて加工して配線層を形成すれば、工程が簡略化される。この場合のb-b'線断面図は第9図のようになる。ただし、この場合には、ソースポリSi16およびドレインポリSi17とゲート電極用ポリSi5のドーパントの極性を同じとする必要がある。

## 実施例4:

本発明の第4の実施例を第10図(a)～(e)に示す。第10図(a)は基板面に垂直な方向から見た平

## 2.8

面的なレイアウト図、第10図(b)は層間の絶縁膜8を取り除いた状態で見た側面図、第10図(c)は第10図(b)中のc-c'線で基板面と平行に切断した断面図、第10図(d)は第10図(a)中のa-a'線で基板面に垂直に切断した断面図、第10図(e)は第10図(a)中のb-b'線で基板面に垂直に切断した断面図である。第10図(f)に示す凡例にある活性Siとは、ソース領域6、チャネル領域3およびドレイン領域7をまとめて指す。ポリSiとは、高濃度にドーピングされた多結晶Siである。本実施例において、ポリSiは、ゲート電極5に用いられる他に、ソース領域6およびドレイン領域7から、それぞれ、メタル配線層26および27へつながる引出し電極16および17として用いられる。以下では、ソース領域6の引出し電極として用いられるポリSiをソースポリSi、ドレイン領域7の引出し電極として用いられるポリSiをドレインポリSiと略記する。

この第4実施例は、基板面に対して垂直に形成した板状Si9中に素子を形成する構造は第1～第



3 実施例と同様である。従って、板状Si9の厚さDが薄いのでチャネル領域3全体が空乏化して性能が上がる点、チャネル領域3が基板1と接続している点、基板面と平行な方向に電流を流す点などの基本的な利点は第1～第3実施例の場合と同じである。

第1の実施例との主な相違点は、本実施例では、活性Si領域のエッチングおよびゲート電極用ポリSiのエッチングの2工程で、活性Si、ゲート電極およびコンタクトの3者の位置関係が定まり、リソグラフィやエッチングにおける加工ばらつきに対する余裕度が大きいことである。さらにまた、本実施例では、活性Siの直上でメタル配線層25とのコンタクトをとるようにしたので、ゲート電極引出し部が不要であり、それだけ面積の有効利用ができる点も異なっている。

第3実施例との相違点は、第2の実施例では層間の絶縁膜8に開口して、ゲート電極5、ソースポリSi16およびドレインポリSi17の位置を定めているのに対し、本実施例ではポリSiのエッチング

で直接に3者の位置を定めていることである。このことは次の2点で有利である。ひとつは、第3実施例の第6図(e)および第7図(e)の構造を形成するとき、層間膜8のエッチングの停止層が無いという問題を回避できることである。もうひとつは、絶縁物とポリSiを比較すると、一般に後者の方がエッチング形状が制御し易いため、本実施例で行うポリSiエッチングの方が、第3実施例で行った層間膜8への開口より制御性が良いことである。さらにまた、本実施例では、第3実施例と異なり、ゲート電極5、ソースポリSi16およびドレインポリSi17をフィールド絶縁膜2上の配線層として使用できる利点もある。

以下、第4実施例のIG-FETを製造する方法の実施例を第11図(a)～(i)および第12図(a)～(i)を用いて工程順に説明する。

(1) 第11図(a)～(c)および第12図(a)～(c)に示すフィールド酸化膜の形成までは、第3図(a)～(c)および第4図(a)～(c)に示した第1実施例の場合と全く同じである。

## 3 1

(2) 板状Si9の露出表面上に厚さ25nmの薄いゲート酸化膜4を熱酸化により形成し、その上にCVD法で高濃度にドーピングした多結晶Si5を堆積して第11図(d)および第12図(d)の構造を得た。

(3) 多結晶Si5をレジストパターンをマスクにして方向性エッチングし、第11図(e)および第12図(e)に示すように、ゲート電極とソースポリSiおよびドレインポリSiになる部分5を形成した。その後、斜め方向からのイオン注入や高濃度にドーピングした酸化膜からの固相拡散等の手法を用いて、ポリSi5でマスクされた所以外にソース領域6およびドレイン領域7の高濃度n<sup>+</sup>領域を形成した。

(4) 層間の絶縁膜8を堆積し、熱処理による絶縁膜自身の流動化や、塗布したレジストとの等速エッチバック等の手法で絶縁膜表面を平坦にし、さらに適量の層間膜8のエッチングを追加して、ポリSi5の上端部を露出させて、第11図(f)および第12図(f)の形状を得た。

(5) ゲート電極に対応する部分のポリSi5をレジ

## 3 2

ストマスクで覆い、ソースポリSiおよびドレインポリSiになる部分に埋め込まれたゲート電極用ポリSi5を除去した。その後、ソース領域6およびドレイン領域7上に形成されているゲート酸化膜4を除去して、第11図(g)および第12図(g)に示すように開口82および83を形成した。

(6) 開口82および83に、ソースポリSi16およびドレインポリSi17のためのポリSiを、それぞれ、堆積させた。その後、ポリSiをエッチバックして層間膜8の表面を露出させ、第11図(h)および第12図(h)の構造を得た。ここで、熱処理を行い、ソースポリSi16およびドレインポリSi17からドーパントを拡散させて、既に形成したソース領域6およびドレイン領域7の高濃度n<sup>+</sup>領域とソースポリSi16およびドレインポリSi17とを、それぞれ電気的に接続するようにした。

(7) 最後に、ゲート電極5、ソース領域6およびドレイン領域7に対応して、メタル配線層15、26および27を、それぞれ、堆積、加工し、第11図(i)および第12図(i)に示す構造のIG-FETを得

た。

次に第3実施例について述べたように、ソースポリSi16およびドレインポリSi17とゲート電極用ポリSi5のドーパントの極性が同じであるならば、上記工程(8)において、ポリSiを堆積した後、エッチバックを行わずに直ちにメタルを堆積し、ついでSiとメタルとを重ねて加工して配線層とすることで工程を簡略化することもできる。

#### 〔発明の効果〕

以上から明らかなように、本発明では、凸状あるいは板状の半導体領域を基板の上に垂直に配設し、その板状半導体領域において、活性領域がソース領域およびドレイン領域を結ぶ方向を含む幅の狭い面で半導体基板と接する構造とすることにしたので、チャンネル領域の厚さを薄くでき( $D < 2 \cdot \lambda_{De}$ )、チャンネル領域全体が空乏化するIG-FETを半導体基板上に形成することが可能となる。この結果、本発明によれば、ドレイン耐圧の低下の問題を起こさず、相互コンダクタンスが大

きく、サブスレッショルド係数が小さく、寄生容量が小さく、短チャネル化が可能で、かつより高密度に実装できる高性能IG-FETを提供することができる。

加えて、本発明では、単結晶Siなどの半導体基板をエッチングして凸状半導体領域を形成しており、従来のような結晶品質の問題なしに、かつ工程の各々自体は通常良く用いられている手法を用いており、しかも製造工程数の増大を伴うことなく、IG-FETを製造できる。

#### 4. 図面の簡単な説明

第1図(a)、(b)、(c)、(d)および(e)は、それぞれ、本発明の第1実施例のIG-FETを示す平面レイアウト図、層間膜8を除去した状態の側面図、第1図(b)におけるc-c'線断面図、第1図(a)におけるa-a'線断面図および同じくb-b'線断面図、

第1図(f)は第1図(a)～(e)の各部の凡例の説明図、

35

第2図(a)、(b)および(c)は、第1実施例に示した素子を複数個並列に接続した本発明第2実施例の平面レイアウト図およびそのa-a'線およびb-b'線断面図、

第2図(d)はその各部表現の説明図、

第3図(a)～(h)および第4図(a)～(h)は、それぞれ、本発明の第1実施例のIG-FETの製造工程途中の状態においてc-c'線およびa-a'線に沿って切断して示す断面図、

第5図(a)、(b)、(c)、(d)および(e)は、それぞれ、本発明の第3実施例のIG-FETの平面レイアウト図、層間膜8を除去した状態の側面図、c-c'線断面図、a-a'線断面図およびb-b'線断面図、

第5図(f)は第5図(a)～(e)の各部の凡例の説明図、

第6図(a)～(i)および第7図(a)～(i)は、それぞれ、本発明の第3実施例のIG-FETの製造工程途中の状態におけるc-c'線およびa-a'線断面図、

36

第8図(a)および(b)は、それぞれ、第3実施例において配線層の形成を別の方法で行った第4実施例の工程途中および終了時におけるa-a'線断面図、

第9図は配線の形成を第8図の方法で行った場合の工程終了時におけるb-b'線断面図、

第10図(a)、(b)、(c)、(d)および(e)は、それぞれ、本発明の第5実施例のIG-FETの平面レイアウト図、層間膜8を除去した状態の側面図、c-c'線断面図、a-a'線断面図およびb-b'線断面図、

第10図(f)は第10図(a)～(e)の各部の凡例の説明図、

第11図(a)～(j)および第12図(a)～(j)は、それぞれ、本発明の第3実施例のIG-FETの製造工程途中の状態におけるc-c'線およびa-a'線断面図、

第13図(a)および(b)は従来のIG-FETの一例を示す、それぞれ、平面図およびそのc-c'線断面図、

第14図は別の従来構造によるIG-FETを示す断面図、

第15図はさらに別の従来構造によるIG-FETを示す断面図である。

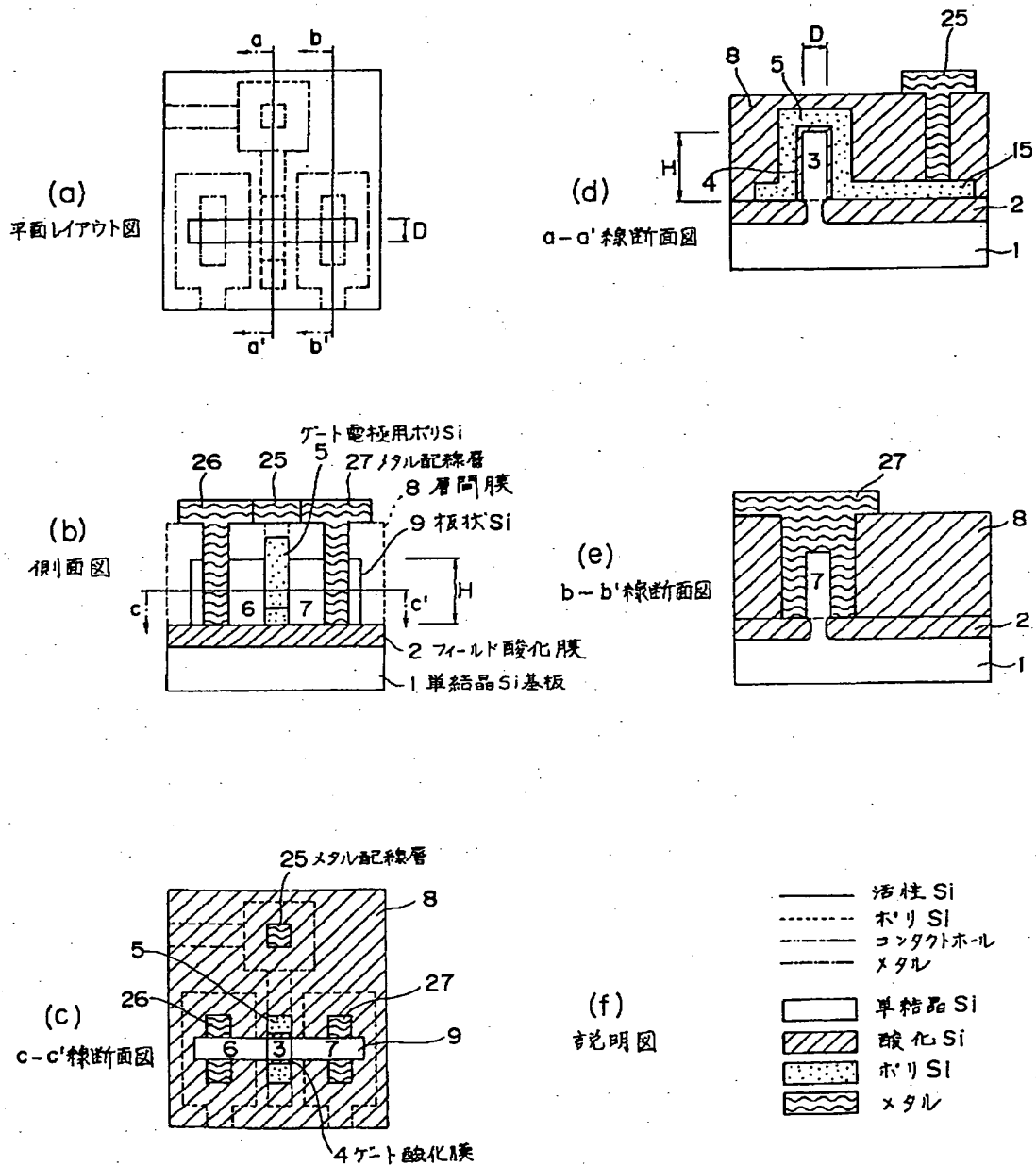
- 1 …単結晶Si基板、
- 2 …フィールド酸化膜、
- 3 …チャネル領域、
- 4、4' …ゲート酸化膜、
- 5、5' …ゲート電極用ポリSi、
- 6 …ソース領域、
- 7 …ドレイン領域、
- 8 …層間の絶縁膜、
- 9 …板状Si、
- 11…SOIの支持基板、
- 12…SOIの下地絶縁膜、
- 15…ゲート電極引出し部、
- 16…ソース領域の引出し電極（ソースポリSiと略記）、
- 17…ドレイン領域の引出し電極（ドレインポ

リSiと略記）、

- 25…ゲート電極とつながるメタル配線層、
- 26…ソース領域とつながるメタル配線層、
- 27…ドレイン領域とつながるメタル配線層、
- 81,83 …薄い酸化膜、
- 62,64 …酸化のマスクとなる窒化膜、
- 65…ゲートコンタクトホール、
- 80…ソースコンタクトホール、
- 67…ドレインコンタクトホール、
- 81…ゲート電極が入るための開口、
- 82…ソースポリSiが入るための開口、
- 83…ドレインポリSiが入るための開口。

特許出願人 日本電信電話株式会社

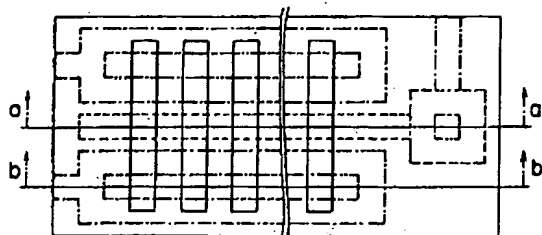
代理人 弁理士 谷 森 一



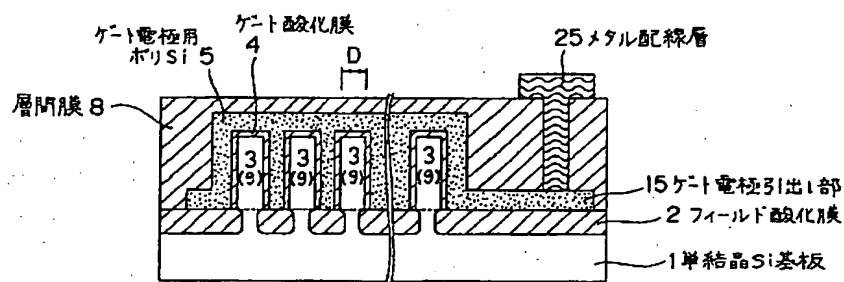
本発明第1実施例の図

第 1 図

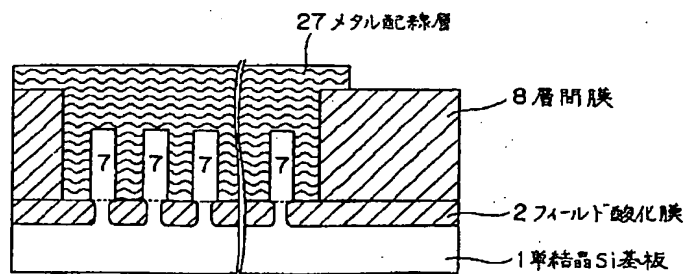
(a)  
平面レイアウト図



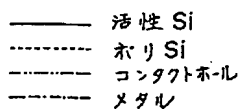
(b)  
a-a' 線断面図



(c)  
b-b' 線断面図

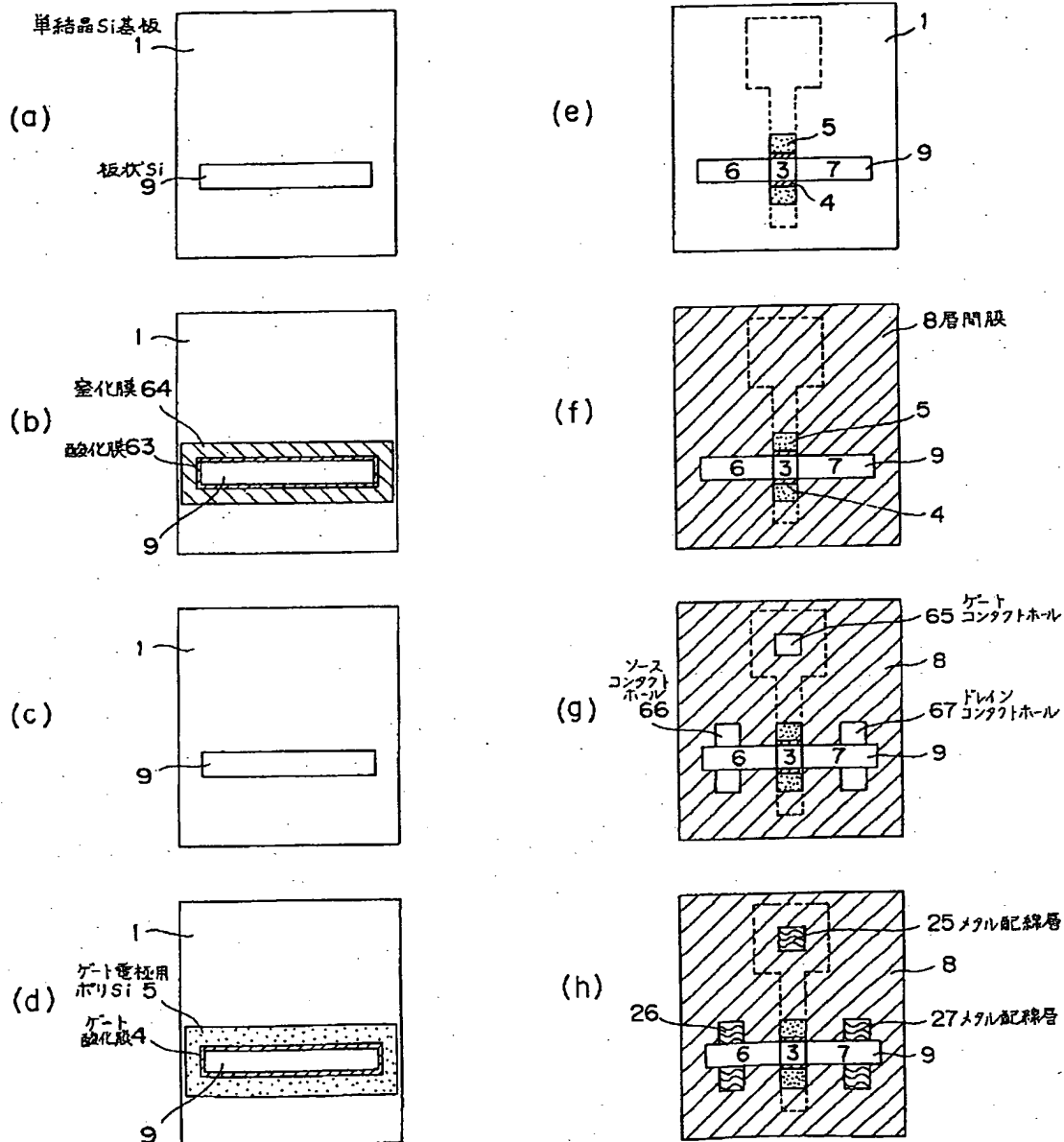


(d)  
説明図



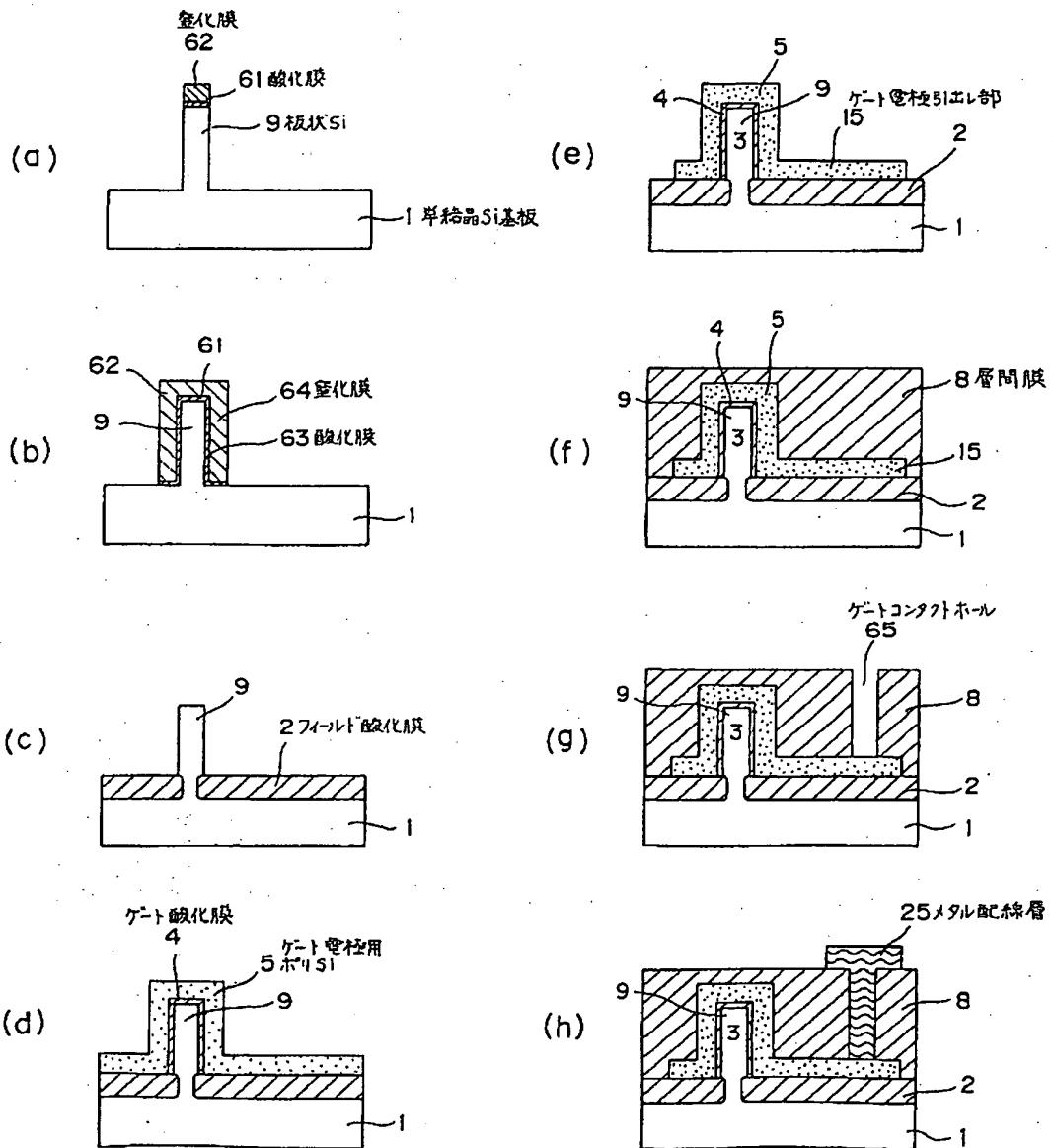
本発明第2実施例の図

## 第 2 図



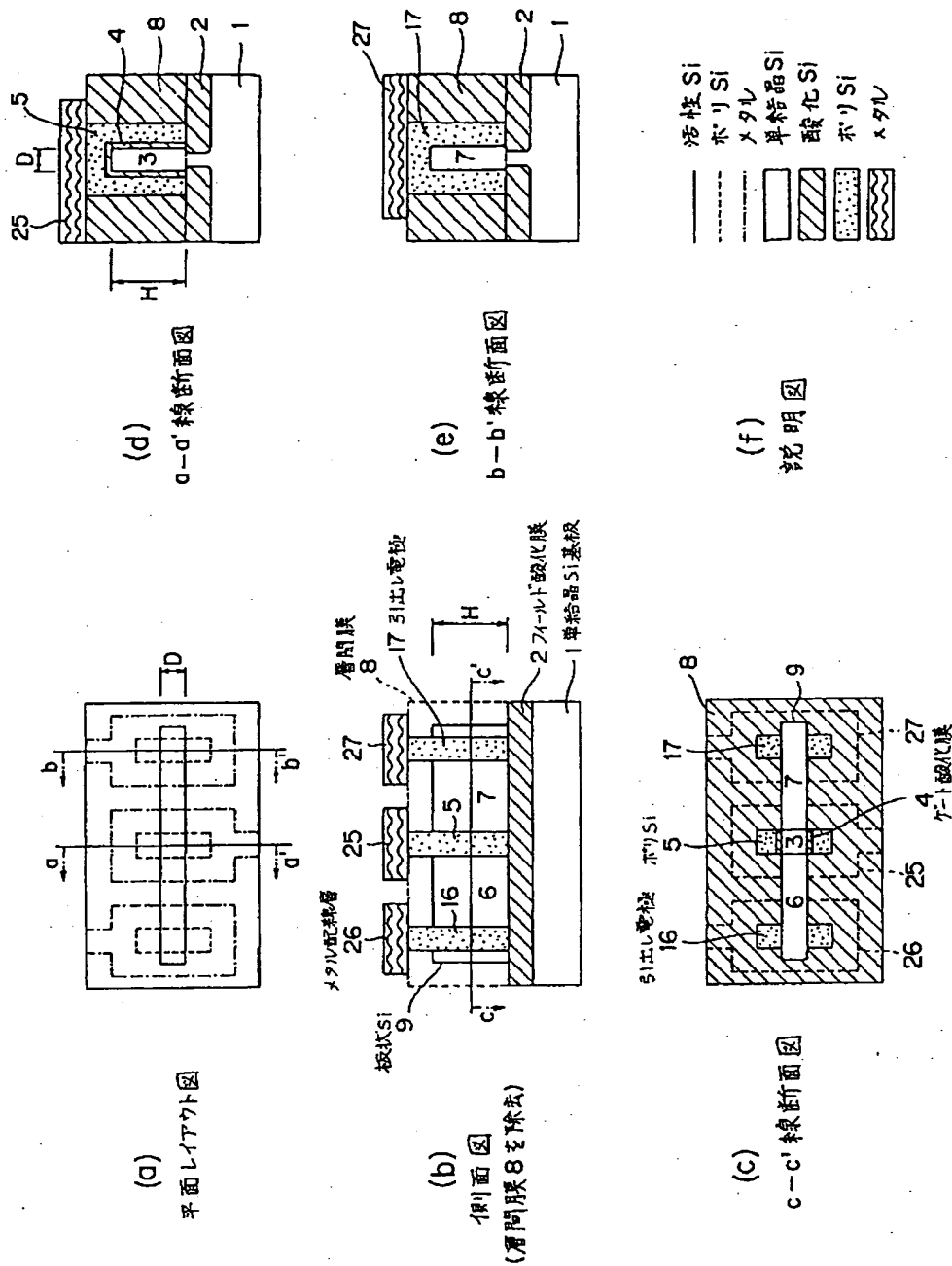
本発明第1実施例の製造工程説明用 c-c' 線断面図

第 3 図



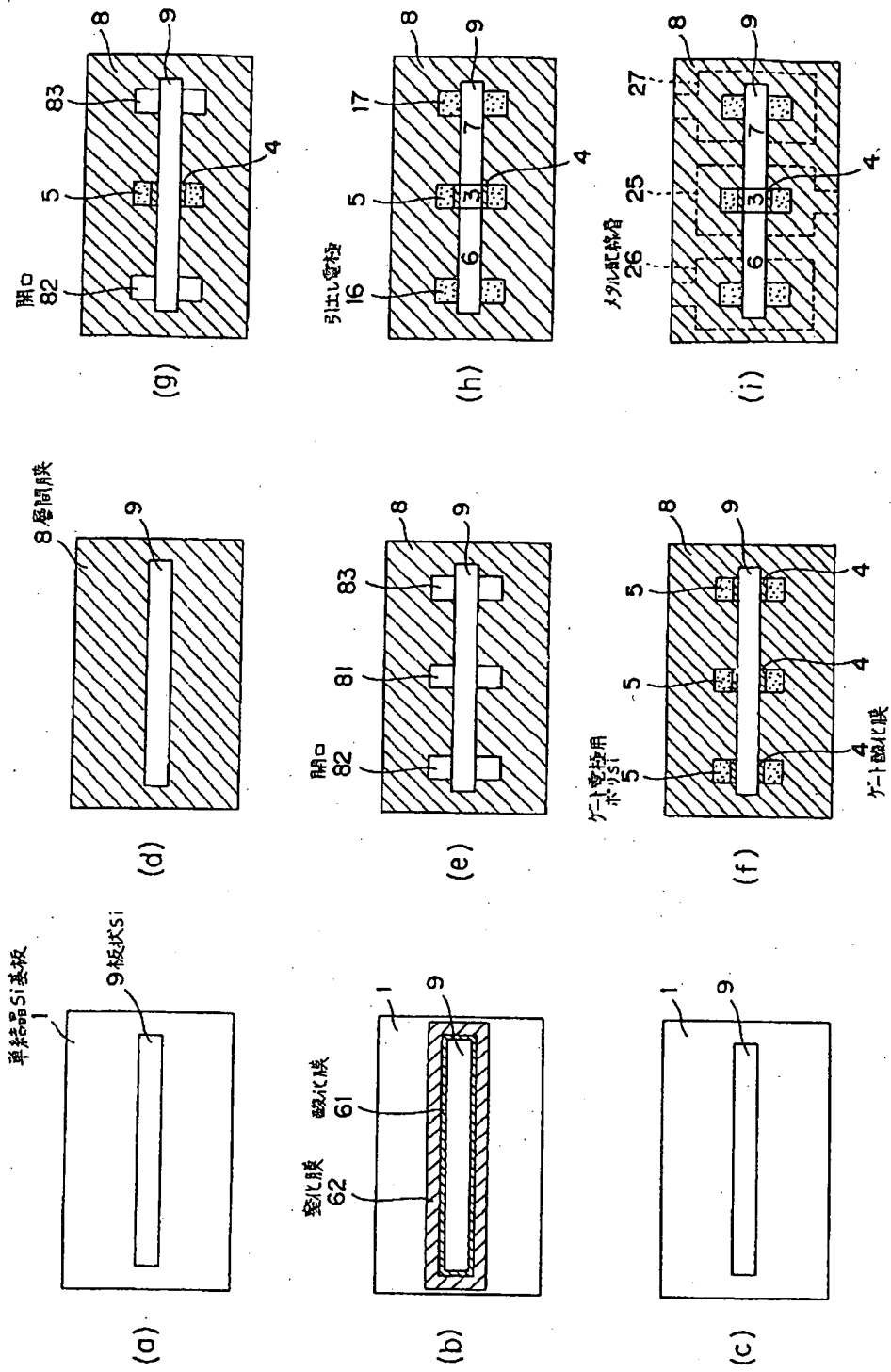
本発明第 1 実施例の製造工程説明用 a-a'線断面図

第 4 図



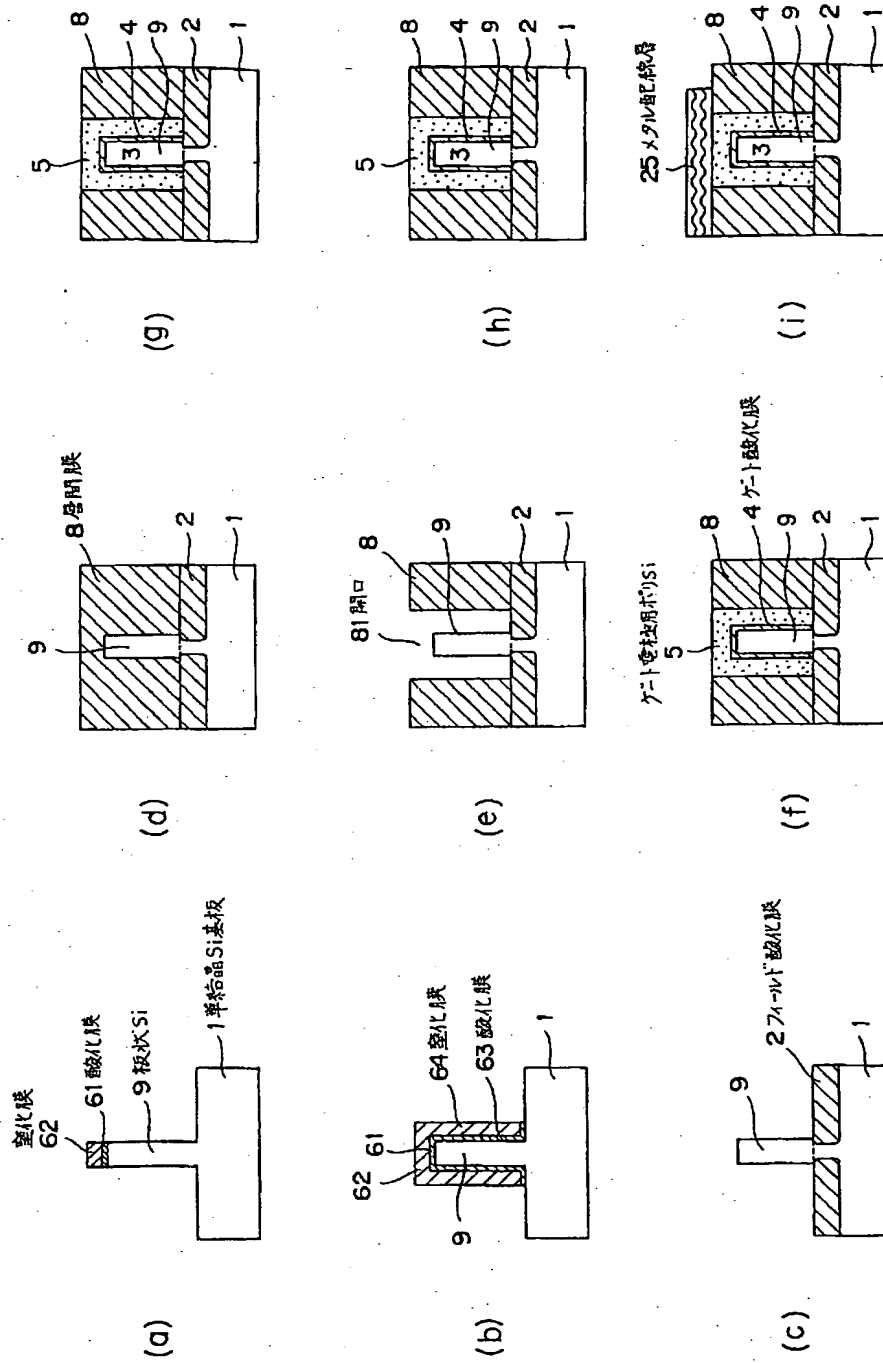
本発明第3実施例の図  
第5図





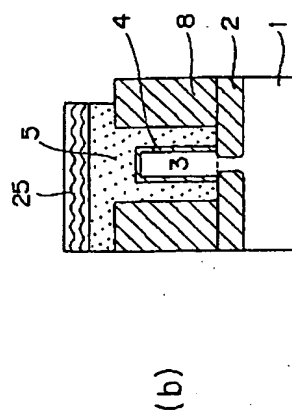
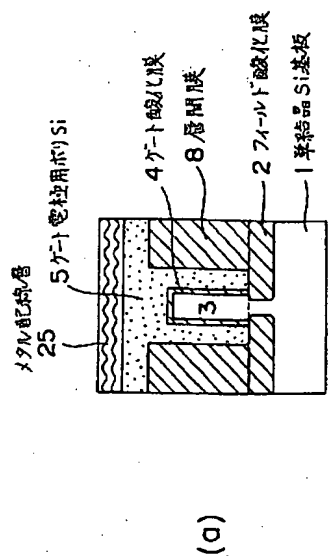
本発明第3実施例の製造工程説明用c-c'線断面図

第 6 図



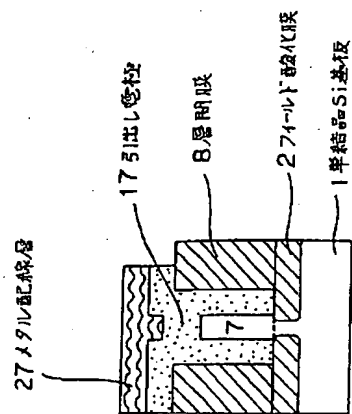
本発明第3実施例の製造工程説明用 a-a'線断面図

第 7 図



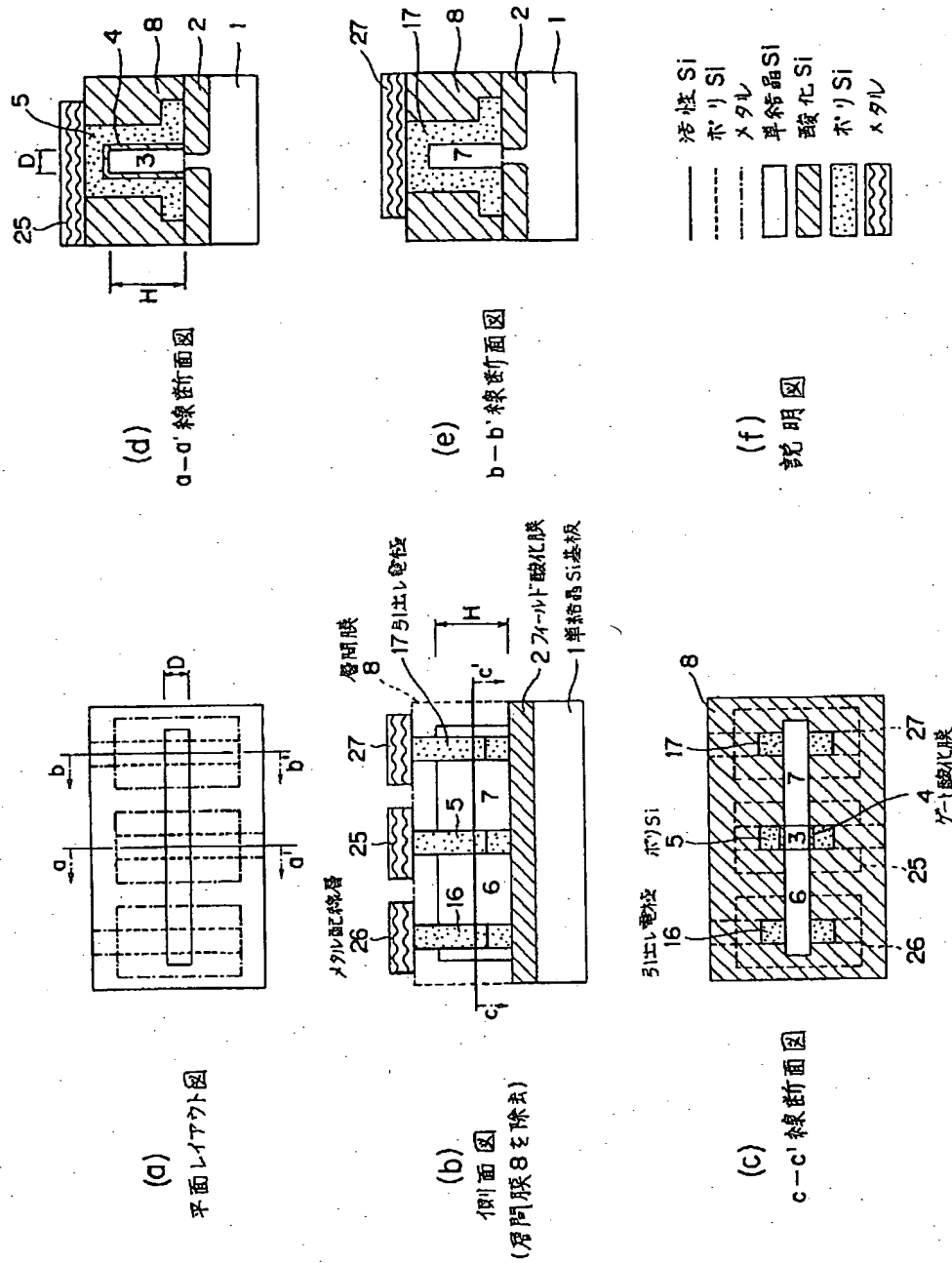
本発明第3実施例の製造工程の他の例の  
説明用 a-a' 線断面図

第 8 図

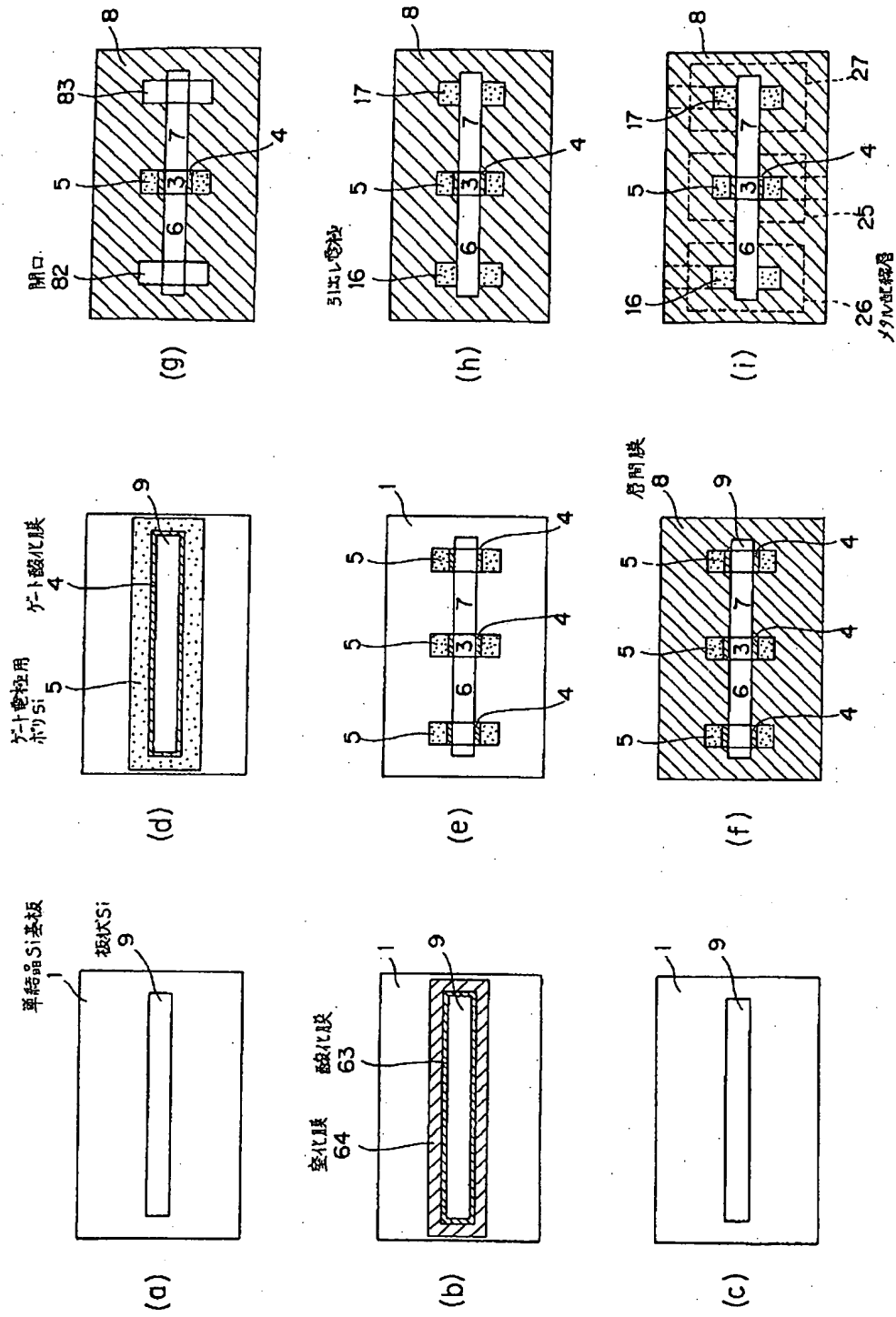


本発明第3実施例の製造工程の他の例の  
説明用 b-b' 線断面図

第 9 図

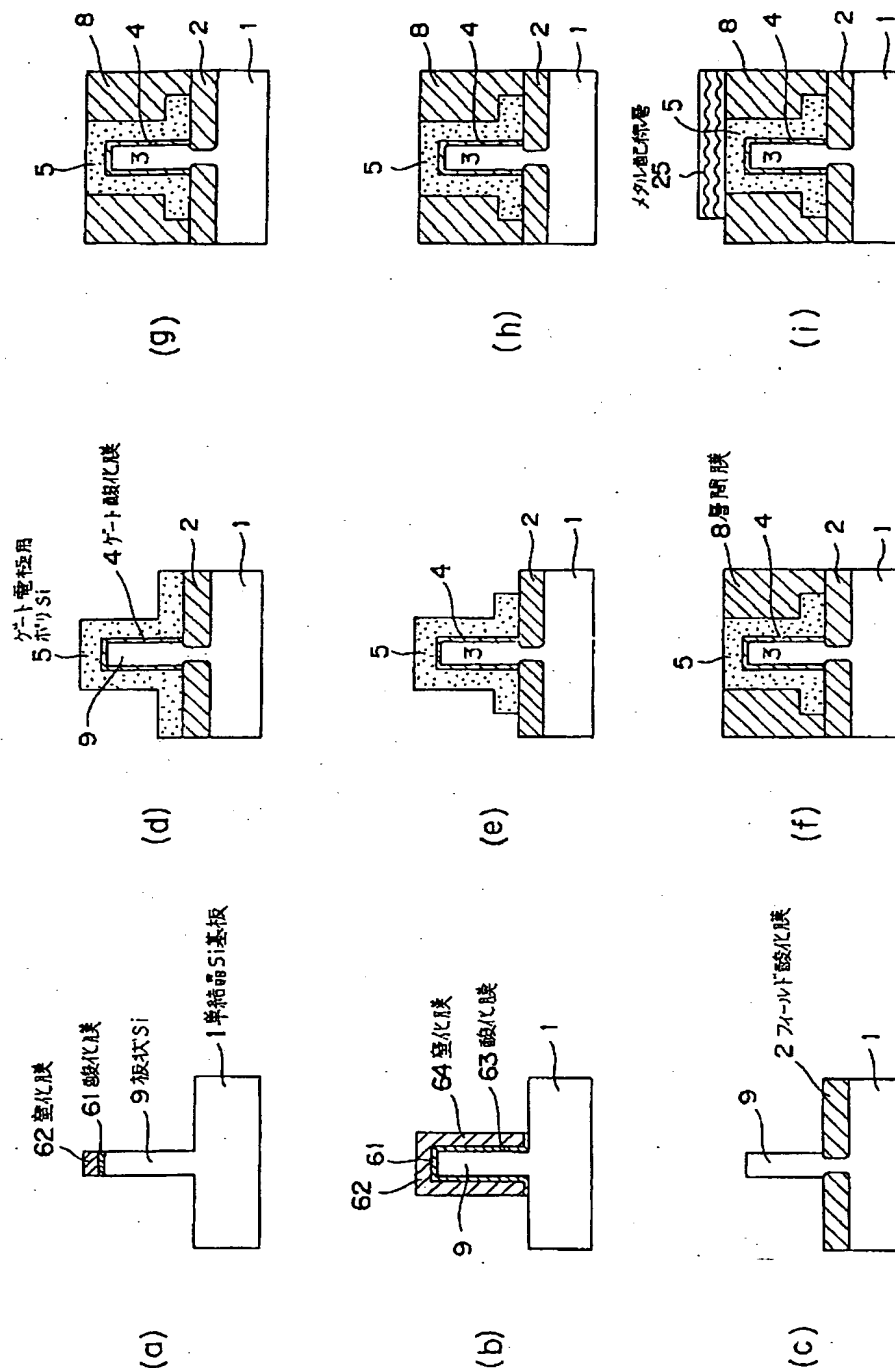


本発明第4実施例の図  
第10図



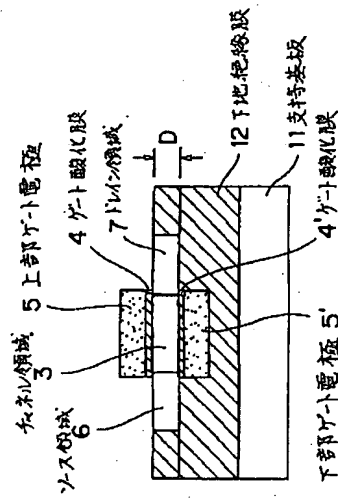
本発明第3実施例の製造工程説明用 c-c'線断面図

第 11 図

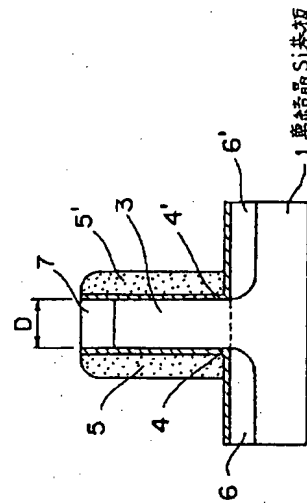


本発明第3実施例の製造工程説明用 a-a' 線断面図

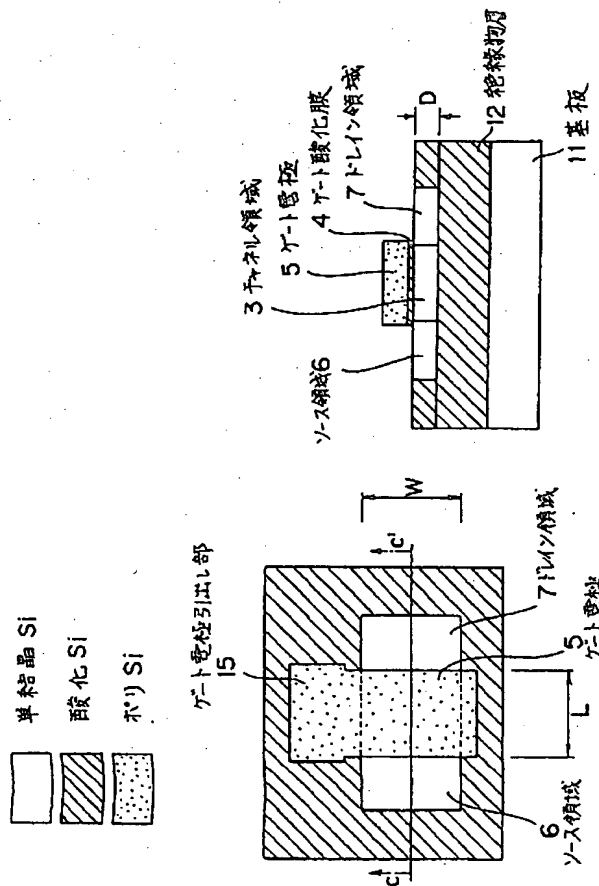
第 12 図



従来例の断面図  
第14図



従来例の断面図  
第15図



(b)

(a)

従来例の平面図およびc-c'線断面図

第13図

